

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-221370

(43)Date of publication of application : 05.08.2004

(51)Int.Cl.

H01L 29/78

(21)Application number : 2003-007767

(71)Applicant : TOYOTA MOTOR CORP

(22)Date of filing : 16.01.2003

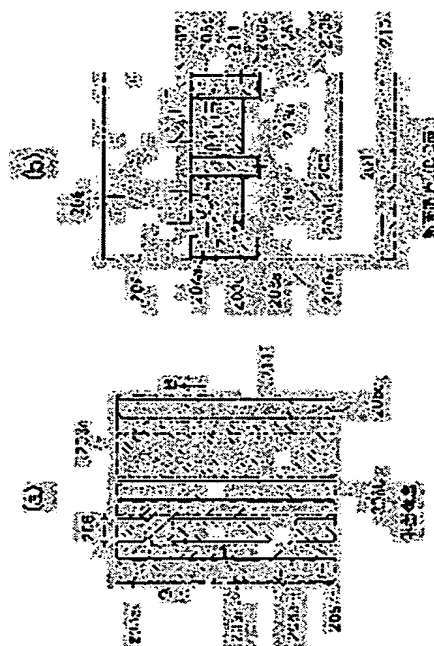
(72)Inventor : NISHIWAKI KATSUHIKO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve an effect of on-voltage reduction for a semiconductor device.

SOLUTION: A semiconductor region 213a and a semiconductor region 213b are separated by a gate electrode 206b and a gate insulating film 205 formed in a trench 215b. A p-body region 203a, a p+emitter region 203c, and an n+emitter region 204a are formed in the region 213a, and a p-body region 203c, a p+emitter region 203d, and an n-hole barrier region 211 are formed in the region 213b. The region 211 suppresses an outflow of the hole to an emitter electrode 209 to improve the effect of decreases in on-voltage.



LEGAL STATUS

[Date of request for examination]

23.06.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-221370

(P2004-221370A)

(43) 公開日 平成16年8月5日 (2004. 8. 5)

(51) Int. Cl.⁷

H01L 29/78

F I

H01L 29/78 655A

H01L 29/78 652B

H01L 29/78 652C

H01L 29/78 653A

テーマコード (参考)

審査請求 未請求 請求項の数 9 O L (全 11 頁)

(21) 出願番号 特願2003-7767 (P2003-7767)
 (22) 出願日 平成15年1月16日 (2003. 1. 16)

(71) 出願人 000003207
 トヨタ自動車株式会社
 愛知県豊田市トヨタ町1番地
 (74) 代理人 100075258
 弁理士 吉田 研二
 (74) 代理人 100096976
 弁理士 石田 純
 (72) 発明者 西脇 克彦
 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

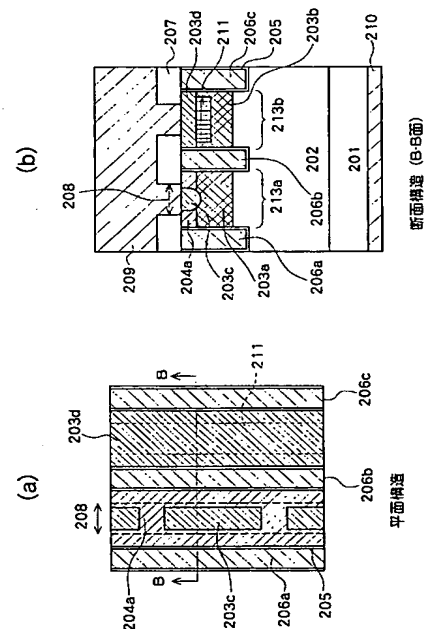
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 半導体装置のオン電圧の低減効果を向上させる。

【解決手段】 半導体領域213aと半導体領域213bとはトレンチ215bに形成されたゲート電極206b及びゲート絶縁膜205によって分離されている。半導体領域213aにはpボディ領域203a、p+エミッタ領域203c及びn+エミッタ領域204aが形成されており、半導体領域213bにはpボディ領域203c、p+エミッタ領域203d及びn正孔バリア領域211が形成されている。n正孔バリア領域211によって正孔のエミッタ電極209への流出が抑制されるので、オン電圧の低減効果を向上させることができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

互いに分離された複数の半導体領域を含む半導体装置であって、半導体領域の少なくとも 1 つは、第 1 導電型のキャリアの供給が可能であり、他の半導体領域の少なくとも 1 つからは、第 1 導電型のキャリアの供給が行われず、第 1 導電型のキャリアの供給が行われない半導体領域は、第 2 導電型のキャリアの通過を抑制するバリア領域を含むことを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置であって、第 2 導電型の第 1 の領域と、該第 1 の領域と接合された第 1 導電型の第 2 の領域と、をさらに含み、第 1 導電型のキャリアの供給が可能な半導体領域は、第 1 導電型の第 3 の領域と、該第 3 の領域及び前記第 2 の領域と接合された第 2 導電型の第 4 の領域と、を含み、前記バリア領域を含む半導体領域は、前記第 2 の領域と接合された第 2 導電型の第 5 の領域をさらに含み、前記バリア領域は、前記第 1 の領域からの第 2 導電型のキャリアの通過を抑制することを特徴とする半導体装置。

【請求項 3】

請求項 2 に記載の半導体装置であって、前記第 5 の領域については、前記バリア領域の上面側に、下面側より高濃度の第 2 導電型の領域が形成されていることを特徴とする半導体装置。

【請求項 4】

請求項 1 ～ 3 のいずれか 1 に記載の半導体装置であって、前記バリア領域は、断続的に形成されていることを特徴とする半導体装置。

【請求項 5】

請求項 1 ～ 4 のいずれか 1 に記載の半導体装置であって、複数の半導体領域はトレンチに形成された第 1 の電極及び絶縁膜により互いに分離されており、該第 1 の電極は該絶縁膜を介して半導体領域と接続されていることを特徴とする半導体装置。

【請求項 6】

請求項 5 に記載の半導体装置であって、前記バリア領域は、第 1 導電型の領域であり、かつ前記絶縁膜と接触していないことを特徴とする半導体装置。

【請求項 7】

請求項 6 に記載の半導体装置であって、前記第 3 の領域及び前記第 4 の領域と接合された第 2 の電極と、前記第 1 の領域と接合された第 3 の電極と、をさらに含み、該第 2 の電極は、前記バリア領域を含む半導体領域において、前記第 5 の領域と接合しており、かつ前記バリア領域を含む第 1 導電型の領域と接合していないことを特徴とする半導体装置。

【請求項 8】

請求項 6 に記載の半導体装置であって、前記第 3 の領域及び前記第 4 の領域と接合された第 2 の電極と、前記第 1 の領域と接合された第 3 の電極と、をさらに含み、前記バリア領域は、該第 2 の電極と接合していることを特徴とする半導体装置。

【請求項 9】

請求項 8 に記載の半導体装置であって、前記バリア領域は、前記第 2 の電極と断続的に接合していることを特徴とする半導体装置。

【発明の詳細な説明】

10

20

30

40

50

【0001】

【発明の属する技術分野】

本発明は半導体装置、特にオン電圧の低下を図った半導体装置に関する。

【0002】

【従来の技術】

従来の半導体装置の一例が特開2001-127286号公報（特許文献1）に示されている。この従来の半導体装置においては、n+型エミッタ領域を形成している領域とn+型エミッタ領域を形成しない領域とを分離して設け、n+型エミッタ領域を形成している領域にn+型の正孔バリアを設けている。これによって、ラッチアップの防止及びオン電圧の低下を図っている。なお、その他にも特許文献2～4に示す半導体装置が開示されている。

10

【0003】

【特許文献1】

特開2001-127286号公報

【特許文献2】

特開平10-294461号公報

【特許文献3】

特開平9-331063号公報

【特許文献4】

特開2001-15747号公報

20

【0004】

【発明が解決しようとする課題】

しかしながら、特許文献1に示す従来の半導体装置においては、n+型エミッタ領域を形成しない領域を通過してエミッタ電極へ正孔が抜けるため、十分なオン電圧の低減効果が得られないという課題があった。

【0005】

本発明は上記課題に鑑みてなされたものであり、オン電圧の低減効果を向上させる半導体装置を提供することを目的とする。

【0006】

【課題を解決するための手段】

30

このような目的を達成するために、第1の本発明に係る半導体装置は、互いに分離された複数の半導体領域を含む半導体装置であって、半導体領域の少なくとも1つは、第1導電型のキャリアの供給が可能であり、他の半導体領域の少なくとも1つからは、第1導電型のキャリアの供給が行われず、第1導電型のキャリアの供給が行われない半導体領域は、第2導電型のキャリアの通過を抑制するバリア領域を含むことを特徴とする。なお、第1導電型のキャリアは半導体装置にとっての少数キャリアであり、第2導電型のキャリアは多数キャリアであることが好ましい。第1あるいは第2導電型のキャリアとは、導電型がn型の場合は電子、p型の場合は正孔である。

【0007】

第2の本発明に係る半導体装置は、第1の本発明に記載の装置であって、第2導電型の第1の領域と、該第1の領域と接合された第1導電型の第2の領域と、をさらに含み、第1導電型のキャリアの供給が可能な半導体領域は、第1導電型の第3の領域と、該第3の領域及び前記第2の領域と接合された第2導電型の第4の領域と、を含み、前記バリア領域を含む半導体領域は、前記第2の領域と接合された第2導電型の第5の領域をさらに含み、前記バリア領域は、前記第1の領域からの第2導電型のキャリアの通過を抑制することを特徴とする。

40

【0008】

第3の本発明に係る半導体装置は、第2の本発明に記載の装置であって、前記第5の領域については、前記バリア領域の上面側に、下面側より高濃度の第2導電型の領域が形成されていることを特徴とする。

50

【0009】

第4の本発明に係る半導体装置は、第1～3の本発明のいずれか1に記載の装置であって、前記バリア領域は、断続的に形成されていることを特徴とする。

【0010】

第5の本発明に係る半導体装置は、第1～4の本発明のいずれか1に記載の装置であって、複数の半導体領域はトレンチに形成された第1の電極及び絶縁膜により互いに分離されており、該第1の電極は該絶縁膜を介して半導体領域と接続されていることを特徴とする。

【0011】

第6の本発明に係る半導体装置は、第5の本発明に記載の装置であって、前記バリア領域は、第1導電型の領域であり、かつ前記絶縁膜と接触していないことを特徴とする。

10

【0012】

第7の本発明に係る半導体装置は、第6の本発明に記載の装置であって、前記第3の領域及び前記第4の領域と接合された第2の電極と、前記第1の領域と接合された第3の電極と、をさらに含み、該第2の電極は、前記バリア領域を含む半導体領域において、前記第5の領域と接合しており、かつ前記バリア領域を含む第1導電型の領域と接合していないことを特徴とする。

【0013】

第8の本発明に係る半導体装置は、第6の本発明に記載の装置であって、前記第3の領域及び前記第4の領域と接合された第2の電極と、前記第1の領域と接合された第3の電極と、をさらに含み、前記バリア領域は、該第2の電極と接合していることを特徴とする。

20

【0014】

第9の本発明に係る半導体装置は、第8の本発明に記載の装置であって、前記バリア領域は、前記第2の電極と断続的に接合していることを特徴とする。

【0015】

【発明の実施の形態】

以下、本発明の実施の形態（以下実施形態という）を、図面に従って説明する。

【0016】

（1）第1実施形態

図1は、本発明の第1実施形態に係る半導体装置の構成の概略を示す図であり、図1（a）は平面図を示し、図1（b）は断面図を示す。ただし、図1（a）においてはエミッタ電極及び絶縁膜の図示を省略しており、図1（a）のB-Bに沿って切断した断面図が図1（b）である。本実施形態は本発明をIGBTに適用した場合を示し、本実施形態のIGBTは、ゲート電極206a、206b、206c、エミッタ電極209、コレクタ電極210、p+コレクタ領域201、nドリフト領域202、pボディ領域203a、203b、p+エミッタ領域203c、203d、n+エミッタ領域204a、ゲート絶縁膜205、絶縁膜207及びn正孔バリア領域211を含んでいる。

30

【0017】

p+コレクタ領域201はシリコン基板に形成されている。p+コレクタ領域201上にはnドリフト領域202が接合されており、p+コレクタ領域201下にはコレクタ電極210が接合されている。nドリフト領域202上にはpボディ領域が接合されている。

40

【0018】

ゲート電極206a、206b、206cは、トレンチ215a、215b、215cにそれぞれ埋め込まれている。トレンチ215a、215b、215cは、pボディ領域を貫通し、nドリフト領域202に到達している。ゲート電極206aとトレンチ215aの内側面及び底面との間、ゲート電極206bとトレンチ215bの内側面及び底面との間、ゲート電極206cとトレンチ215cの内側面及び底面との間には、ゲート絶縁膜205が形成されている。

【0019】

ここで、トレンチ215a及び215bによって半導体領域213aが規定され、トレン

50

チ 2 1 5 b 及び 2 1 5 c によって半導体領域 2 1 3 b が規定される。半導体領域 2 1 3 a と半導体領域 2 1 3 b とはトレンチ 2 1 5 b に形成されたゲート電極 2 0 6 b 及びゲート絶縁膜 2 0 5 によって分離されている。また、半導体領域 2 1 3 a 内の p ボディ領域を p ボディ領域 2 0 3 a とし、半導体領域 2 1 3 b 内の p ボディ領域を p ボディ領域 2 0 3 b とする。

【0020】

半導体領域 2 1 3 a 内の p ボディ領域 2 0 3 a 上には、n + エミッタ領域 2 0 4 a が接合されている。n + エミッタ領域 2 0 4 a 内には、p + エミッタ領域 2 0 3 c が断続的に形成されている。p + エミッタ領域 2 0 3 c はゲート絶縁膜 2 0 5 と接触しておらず、n + エミッタ領域 2 0 4 a はゲート絶縁膜 2 0 5 と接触している。

10

【0021】

一方、半導体領域 2 1 3 b には、n + エミッタ領域が形成されておらず、p ボディ領域 2 0 3 b 内に n 正孔バリア領域 2 1 1 が接合されている。そして、n 正孔バリア領域 2 1 1 上に p + エミッタ領域 2 0 3 d が接合されている。n 正孔バリア領域 2 1 1 はゲート絶縁膜 2 0 5 と接触しておらず、p + エミッタ領域 2 0 3 d はゲート絶縁膜 2 0 5 と接触している。

【0022】

トレンチ 2 1 5 a, 2 1 5 b, 2 1 5 c 上には、絶縁膜 2 0 7 が形成されている。そして、絶縁膜 2 0 7 を覆うようにエミッタ電極 2 0 9 が形成されており、エミッタ電極 2 0 9 は、n + エミッタ領域 2 0 4 a 及び p + エミッタ領域 2 0 3 c, 2 0 3 d と接触している。ここで、n + エミッタ領域 2 0 4 a 及び p + エミッタ領域 2 0 3 c と接触しているエミッタ電極 2 0 9 の部分がコンタクト開口 2 0 8 となる。

20

【0023】

以上の構成において、p + コレクタ領域 2 0 1 が第 1 の領域の一例、n ドリフト領域 2 0 2 が第 2 の領域の一例、n + エミッタ領域 2 0 4 a が第 3 の領域の一例、p ボディ領域 2 0 3 a 及び p + エミッタ領域 2 0 3 c が第 4 の領域の一例、p ボディ領域 2 0 3 b 及び p + エミッタ領域 2 0 3 d が第 5 の領域の一例、n 正孔バリア領域 2 1 1 がバリア領域の一例となっている。また、ゲート電極 2 0 6 a, 2 0 6 b, 2 0 6 c が第 1 の電極の一例、エミッタ電極 2 0 9 が第 2 の電極の一例、コレクタ電極 2 1 0 が第 3 の電極の一例となっている。なお、図 1 においては、半導体領域 2 1 3 a, 2 1 3 b を 1 つずつしか図示していないが、半導体領域 2 1 3 a, 2 1 3 b の数については任意に設定できる。

30

【0024】

次に、本実施形態の I G B T の製造方法について図 2 を用いて説明する。

【0025】

まず p + コレクタ領域 2 0 1 となるシリコン基板上に n ドリフト領域 2 0 2 をエピタキシャル成長させる。次に、約 1 0 0 0 °C のパイロジェニック酸化により n ドリフト領域 2 0 2 表面に厚さ約 7 0 0 n m の熱酸化膜（図示せず）を形成する。その後、熱酸化膜表面上にレジスト（図示せず）を積層し、フォトリソグラフィ工程により開口パターンを形成する。このレジストパターンをマスクとしてウェットエッチングにより熱酸化膜を除去し、素子を形成する領域を形成する（図示せず）。次に、n ドリフト領域 2 0 2 の表面に雰囲気温度約 9 0 0 °C の酸化処理により厚さ約 1 8 n m の酸化膜 2 0 7 b を形成する。その後、酸化膜 2 0 7 b 表面にレジストを積層し、フォトリソグラフィ工程により開口パターンを形成した後、レジストパターンをマスクとして約 6 0 k e V の加速電圧、約 $4.7 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でホウ素をイオン注入する。その後、雰囲気温度約 1 1 5 0 °C の熱処理により拡散し、深さ約 5 μm の p ボディ領域 2 0 3 を形成する。次に、フォトリソグラフィ工程により開口パターンを形成した後、レジストパターンをマスクとして 1 0 0 ~ 3 0 0 k e V の加速電圧、約 $3 \times 10^{14} \text{ cm}^{-2}$ のドーズ量で砒素をイオン注入する。その後、雰囲気温度約 1 1 5 0 °C の熱処理により拡散し、n 正孔バリア領域 2 1 1 を形成する（図 2 (a)）。

40

【0026】

50

なお、以上の工程においては、 n ドリフト領域202として n -シリコン基板を用いて、一主面に p 型不純物を注入し、アニールすることにより拡散して p +コレクタ領域201を形成してもよい。さらに、 p 型不純物の注入の代わりに、 p 型不純物を導入した半導体膜をCVD法により堆積してもよい。 n -シリコン基板を用いることで製造コストを削減できる。

【0027】

次に、CVD法により酸化膜207b上に厚さ約400nmの酸化膜207cを堆積した後、その表面にレジストを積層し、フォトリソグラフィ工程により帯状の開口パターンを形成する。その後、レジストパターンをマスクとして酸化膜207b、207cをRIE法によりエッチングを行うことで除去し、シリコンエッチング用マスクを形成する。次に、このシリコンエッチング用マスクをマスクとしてRIE法によりエッチングを行い、 p ボディ領域203を貫通して深さ約6 μ mのトレンチを形成する。その後、トレンチの側壁をCDE法によりエッチングした後、雰囲気温度約1100℃の酸化処理により酸化膜（図示せず）を形成し、側壁の欠陥を除去する。その後、雰囲気温度約1100℃の酸化処理により約100nmのゲート絶縁膜205を形成する（図2（b））。

【0028】

次に、CVD法により厚さ約800nmの多結晶シリコン膜を堆積する。その後、雰囲気温度約950℃の熱処理を行い多結晶シリコン膜中に燐を拡散する。その後、レジストを積層し、フォトリソグラフィ工程によりゲート配線（図示せず）パターンを形成した後、レジストパターンをマスクとしてRIE法のエッチングによりトレンチに埋設された多結晶シリコン膜を残すようにトレンチの開口部まで除去してゲート電極206を形成する。次に、 p ボディ領域203表面とトレンチに埋設した表面に、雰囲気温度約950℃の酸化処理により厚さ約30nmの酸化膜（図示せず）を形成した後、レジストを積層し、フォトリソグラフィ工程により p +エミッタ領域203c、203dのパターンを形成する。その後、レジストパターンをマスクとして約70keVの加速電圧、約 $4 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でホウ素をイオン注入する。次に、酸化膜の表面にレジストを積層し、フォトリソグラフィ工程により n +エミッタ領域204aのパターンを形成する。その後、レジストパターンをマスクとして約120keVの加速電圧、約 $5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で燐をイオン注入する。その後、CVD法により酸化膜表面に厚さ約1.5 μ mのBPSSG膜207を堆積した後、雰囲気温度約950℃の熱処理によりBPSSG膜207を平坦化するとともに、 p +エミッタ領域203c、203dと n +エミッタ領域204aを拡散して形成する。次に、BPSSG膜207の表面にレジストを積層し、フォトリソグラフィ工程により p ボディ領域203、 p +エミッタ領域203c、203d及び n +エミッタ領域204aの表面を露出するようにコンタクト開口208のパターンを形成した後、レジストパターンをマスクとしてRIE法によりエッチングしてBPSSG膜207及び酸化膜（図示せず）を除去する（図2（c））。

【0029】

次に、エッチングにより露出した p ボディ領域203と p +エミッタ領域203c、203dと n +エミッタ領域204aとが短絡するように、 p ボディ領域203、 p +エミッタ領域203c、203d、 n +エミッタ領域204a及びトレンチの多結晶シリコン膜に接続するゲート配線（図示せず）にスパッタリング法によりチタンからなるバリアメタル膜とAl膜を積層する。その後、Al膜の表面にレジストを積層し、フォトリソグラフィ工程によりエミッタ電極209及びゲート配線電極のパターンを同時に形成する。その後、レジストパターンをマスクとしてウェットエッチングとRIE法によるエッチングにより、エミッタ電極209及びゲート配線電極（図示せず）を同時に形成する（図2（d））。次に、 p +コレクタ領域201の表面にスパッタリング法によりコレクタ電極210（Ti/Ni/Al等）を形成する（図2（e））。以上の工程によって本実施形態のIGBTが製造される。

【0030】

本実施形態におけるIGBTのオン動作時には、半導体領域213a側のゲート絶縁膜2

10

20

30

40

50

05近傍にチャネルが形成され、 $n+$ エミッタ領域204aから供給された電子（少数キャリア）がチャネルを通して流れる。一方、半導体領域213bにおいては、電子の供給は行われない。ここで、ゲート絶縁膜205近傍に形成されたチャネルが電子の流路となるため、図3（a）に示すように、ゲート絶縁膜205近傍に電子が蓄積する。さらに、半導体領域213b内に n 正孔バリア領域211が設けられているため、 $p+$ コレクタ領域201から供給され半導体領域213bを通過する正孔（多数キャリア）の流路が極めて狭くなり、正孔のエミッタ電極209への流出が抑制される。これによって、 n ドリフト領域202内の正孔の減少を抑えることができるので、IGBTのオン電圧の低減効果を向上させることができる。さらに、チャネル密度を低下させてもオン電圧を高めることなく短絡電流を低減することができる。

10

【0031】

一方、オフ動作時には、図3（b）に示すように、ゲート絶縁膜205近傍に蓄積していた電子が消滅するため、正孔がゲート絶縁膜205近傍の流路を通過してエミッタ電極209へ流出する。これによって、安定したスイッチング特性が得られる。さらに、 n 正孔バリア領域211の上面側に、高濃度の $p+$ エミッタ領域203dが形成されていることにより、オフ動作時に正孔をより効率よくエミッタ電極209へ流出させることができる。そして、 n 正孔バリア領域211の下面側に、低濃度の p ボディ領域203bが形成されていることにより、反転層を形成させて正孔蓄積効果を高めることができ、さらに、 p ボディ領域203bと n ドリフト領域202との接合における電界の上昇がなく高耐圧化を実現できる。

20

【0032】

（2）第2実施形態

図4は、本発明の第2実施形態に係る半導体装置の構成の概略を示す図であり、図4（a）は平面図を示し、図4（b）、（c）は断面図を示す。ただし、図4（a）においてはエミッタ電極及び絶縁膜の図示を省略しており、図4（a）のB-Bに沿って切断した断面図が図4（b）であり、図4（a）のC-Cに沿って切断した断面図が図4（c）である。本実施形態においては、 p ボディ領域203b内に n 正孔バリア領域211が断続的に形成されている。より具体的には、断面図で見たときに、図4（b）に示すように n 正孔バリア領域211が形成されている断面と、図4（c）に示すように n 正孔バリア領域211が形成されていない断面とが存在する。他の構成については第1実施形態と同様であるため説明を省略する。

30

【0033】

本実施形態においても第1実施形態と同様に、オン電圧の低減効果を向上させることができ、短絡電流を低減でき、高耐圧化を実現できる。さらに、本実施形態においては、 n 正孔バリア領域211を断続的に形成しており、その間隔を調節することで半導体領域213bを通過してエミッタ電極209へ流出する正孔の流出量を調節できる。したがって、半導体装置内の電流を均一化することができ、オン動作時の半導体装置内の発熱を均一化できる。

【0034】

（3）第3実施形態

図5は、本発明の第3実施形態に係る半導体装置の構成の概略を示す図であり、図5（a）は平面図を示し、図5（b）、（c）は断面図を示す。ただし、図5（a）においてはエミッタ電極及び絶縁膜の図示を省略しており、図5（a）のB-Bに沿って切断した断面図が図5（b）であり、図5（a）のC-Cに沿って切断した断面図が図5（c）である。本実施形態においては、 n 正孔バリア領域211上に $p+$ エミッタ領域203d及び $n+$ エミッタ領域204bが断続的に形成されている。より具体的には、断面図で見たときに、図5（b）に示すように n 正孔バリア領域211上に $n+$ エミッタ領域204bが形成されている断面と、図5（c）に示すように n 正孔バリア領域211上に $p+$ エミッタ領域203dが形成されている断面とが存在する。ここで、 n 正孔バリア領域211だけでなく $n+$ エミッタ領域204bもバリア領域の一例となっている。他の構成について

40

50

は第1実施形態と同様であるため説明を省略する。

【0035】

本実施形態においても第1実施形態と同様に、オン電圧の低減効果を向上させることができ、短絡電流を低減でき、高耐圧化を実現できる。さらに、本実施形態においては、n正孔バリア領域211上にn+エミッタ領域204bを断続的に形成しており、その間隔を調節することでチャネル密度を調節することができ、エミッタ電極209への正孔の流出をさらに抑制できる。したがって、耐圧を変動させることなくオン電圧と短絡電流を調節できる。また、n+エミッタ領域204bとn正孔バリア領域211とを接触させることにより、n+エミッタ領域204bとn正孔バリア領域211とを同電位にできるので、n+エミッタ領域204b/pボディ領域203b/n正孔バリア領域211/pボディ領域203bからなるサイリスタ動作を防止することができ、安定したスイッチング動作を実現できる。

10

【0036】

(4) 第4実施形態

図6は、本発明の第4実施形態に係る半導体装置の構成の概略を示す図であり、図6(a)は平面図を示し、図6(b)は断面図を示す。ただし、図6(a)においてはエミッタ電極及び絶縁膜の図示を省略しており、図6(a)のB-Bに沿って切断した断面図が図6(b)である。本実施形態においては、p+エミッタ領域203dが形成されておらず、n正孔バリア領域211がエミッタ電極209と接触している。他の構成については第1実施形態と同様であるため説明を省略する。

20

【0037】

本実施形態においても第1実施形態と同様に、オン電圧の低減効果を向上させることができ、短絡電流を低減でき、高耐圧化を実現できる。さらに、本実施形態においては、第3実施形態におけるn+エミッタ領域204bとn正孔バリア領域211とを兼用して同時に形成することができるので、製造コスト削減を実現できる。

【0038】

なお、実施形態においては、本発明が上記の記載の内容に限定されるものではなく、本発明の技術思想が反映される範囲内で様々な変形が可能である。例えば、図7、8に示すようなコレクタショート型においてもn正孔バリア領域211を適用することができる。

【0039】

図7の断面図に示す構成においては、nドリフト領域202はコレクタ電極210にも接合されており、p+コレクタ領域201がnドリフト領域202によって分離されている。図7におけるp+コレクタ領域201については、フォトリソグラフィ工程により一部開口を設けたパターンを形成し、このパターンをマスクとしてp型不純物を注入し、アニールによって拡散することで形成される。

30

【0040】

図8の断面図に示す構成においては、nドリフト領域202、p+コレクタ領域201及びコレクタ電極210と接合されたnバッファ領域214が設けられており、p+コレクタ領域201がnバッファ領域214によって分離されている。図8におけるnバッファ領域214については、n型の不純物を堆積し、アニールによって拡散することで形成される。

40

【0041】

その他にも、第1～4実施形態の特徴部分については、例えば第2実施形態+第3実施形態、第2実施形態+第4実施形態等、組み合わせて用いることもできる。また、半導体基板については、シリコンの他にもSiC、GaN、GaAs等を使用することができる。そして、ゲート電極206a、206b、206cの平面形状については、円、楕円、多角形等の任意の形状とすることができる。さらに、ゲート電極206a、206b、206cについては、トレンチ型の代わりにプレーナ型、コンケープ型等のゲート電極を用いてもよい。また、各実施形態においては、ノンパンチスルー型の場合について説明したが、n+バッファ領域を有するパンチスルー型においても本発明の適用が可能である。そし

50

て、nドリフト領域202の濃度分布は均一である必要はない。さらに、荷電粒子または電子線照射等によりp+コレクタ領域201とnドリフト領域202の境界付近またはnドリフト領域202内に欠陥領域を設けてもよい。そして、p型とn型とを反転させた半導体装置でも本発明の適用が可能である。また、本発明の適用が可能な半導体装置はIGBTに限るものではなく、例えばMOSコントロールサイリスタ等の他の半導体装置においても本発明の適用が可能である。

【0042】

【発明の効果】

以上説明したように、本発明によれば、第1導電型のキャリアの供給が行われない半導体領域は、第2導電型のキャリアの通過を抑制するバリア領域を含むことにより、オン電圧の低減効果を向上させることができる。

10

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る半導体装置の構成の概略を示す図である。

【図2】本発明の第1実施形態に係る半導体装置の製造方法を説明する図である。

【図3】本発明の第1実施形態に係る半導体装置の動作を説明する図である。

【図4】本発明の第2実施形態に係る半導体装置の構成の概略を示す図である。

【図5】本発明の第3実施形態に係る半導体装置の構成の概略を示す図である。

【図6】本発明の第4実施形態に係る半導体装置の構成の概略を示す図である。

【図7】本発明の他の実施形態に係る半導体装置の構成の概略を示す図である。

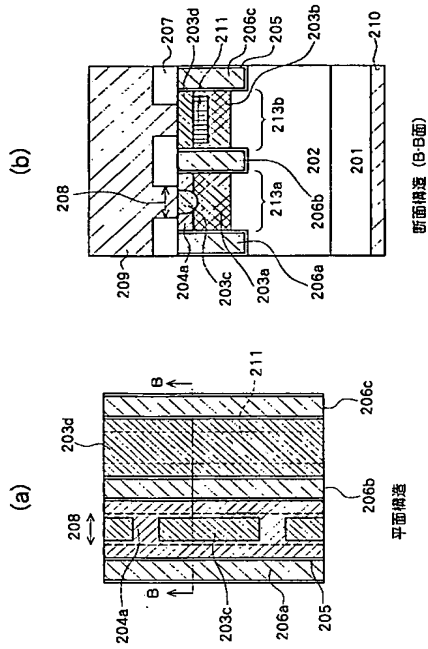
【図8】本発明の他の実施形態に係る半導体装置の構成の概略を示す図である。

20

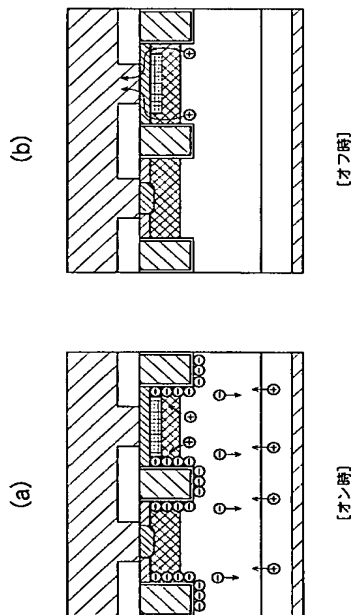
【符号の説明】

201 p+コレクタ領域、202 nドリフト領域、203a, 203b pボディ領域、203c, 203d p+エミッタ領域、204a, 204b n+エミッタ領域、205 ゲート絶縁膜、206a, 206b, 206c ゲート電極、209 エミッタ電極、210 コレクタ電極、211 n正孔バリア領域、213a, 213b 半導体領域。

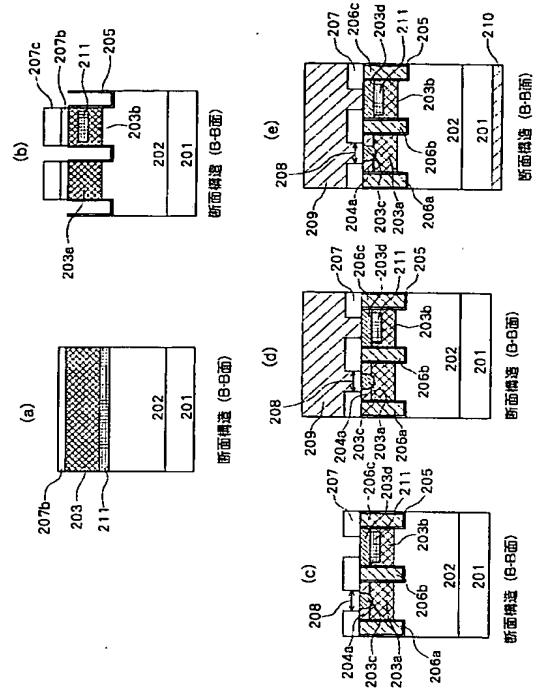
【図 1】



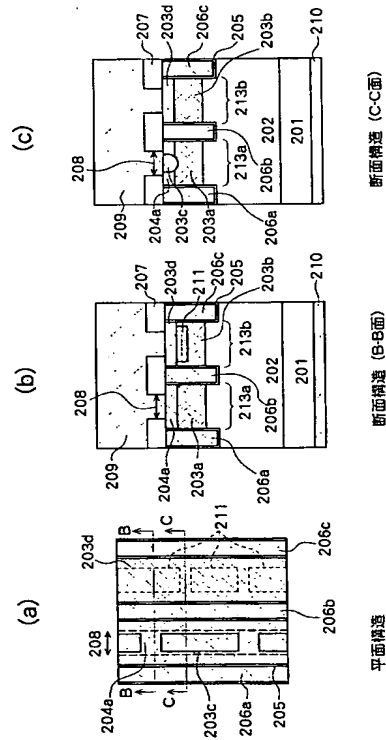
【図 3】



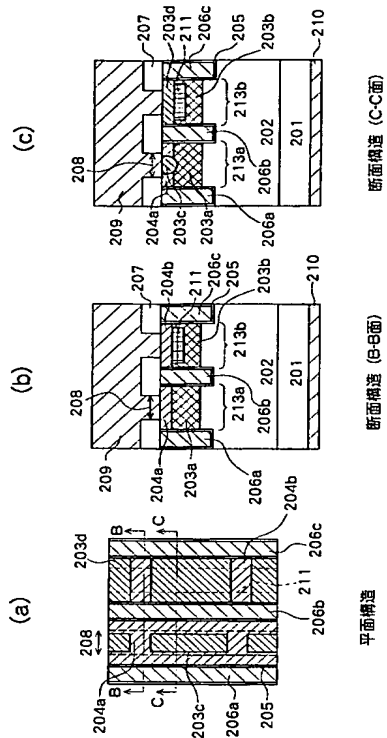
【図 2】



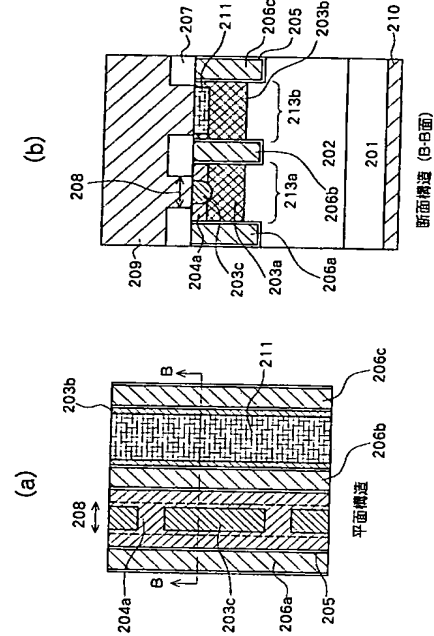
【図 4】



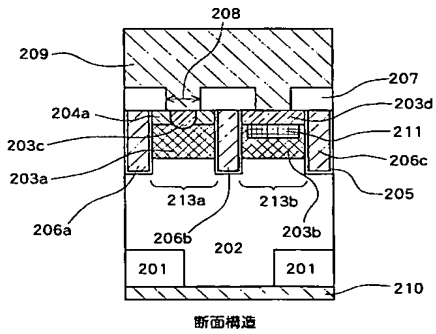
【図 5】



【図 6】



【図 7】



【図 8】

